



# KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020010058485 (43) Publication Date. 20010706

(21) Application No.1019990065818 (22) Application Date. 19991230

(51) IPC Code:

H01L 27/115

(71) Applicant:

HYNIX SEMICONDUCTOR INC.

(72) Inventor:

JUN, YUN SEOK

KIM, DONG JIN

LEE, SEUNG CHEOL

(30) Priority:

(54) Title of Invention

FLASH MEMORY DEVICE

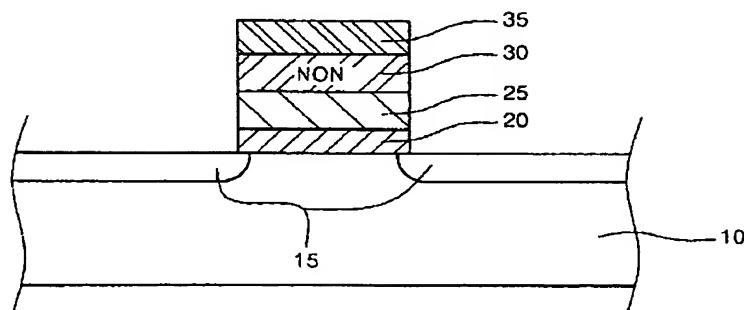
Representative drawing

(57) Abstract:

**PURPOSE:** A flash memory device is provided to lower topology between a cell region and a peripheral region by laminating an NON (Nitride–Oxide–Nitride) layer instead of an existing ONO(Oxide–Nitride–Oxide) layer.

**CONSTITUTION:** A tunnel oxide layer(20) and a floating gate layer(25) are laminated on a semiconductor substrate(10). An NON layer(30) as a barrier layer is formed between the floating gate layer(25) and a control gate layer(35). The control gate layer(35) is laminated on the NON layer(30). A gate is formed by performing a masking etching process. A source/drain region(15) is formed by implanting ions into an active region.

COPYRIGHT 2001 KIPO



if display of image is failed, press (F5)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. H01L 27/115	(11) 공개번호 특2001-0058485 (43) 공개일자 2001년07월06일
(21) 출원번호 10-1999-0065818	
(22) 출원일자 1999년 12월 30일	
(71) 출원인 주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1	
(72) 발명자 이승철 경기도의왕시 왕곡동 세종신안아파트 104-104 김동진 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 107동 1301호 전윤석 서울특별시 강남구 청담동 청담3차 현대아파트 103-704 박대진, 정은섭	
(74) 대리인	

심사청구 : 없음

#### (54) 플래시 메모리 소자

## 요약

본 발명은, 플래시메모리 소자에 관한 것으로서, 특히, 반도체기판 상에 터널산화막, 플로팅게이트층을 적층한 후 종래의 ONO(Oxide - Nitride - Oxide) 박막 대신에 NON(Nitride - Oxide - Nitride)박막을 적층하여 유전상수가 큰 나이트라이드막을 2배로 사용하여 게이트의 두께를 낮추는 역할을 하므로 셀과 폐리의 단차를 낮추게 되어 후속 공정의 진행을 원활하게 하도록 하는 매우 유용하고 효과적인 발명이다.

## 대표도

E2

색인어

NON막 셀 페리 단차 유전상수 커버풀리 프로팅게이트총 콘트롤게이트총

### 명세서

## 도면의 간단한 설명

도 1은 종래의 플래시 메모리 게이트의 구조를 보인 도면이고,  
도 2는 본 발명에 따른 플래시 메모리 게이트의 구조를 보인 도면이다.

#### \*도면의 주요 부분에 대한 부호의 설명\*

10 : 반도체기판	15 : 소오스/드레인영역
20 : 터널산화막	25 : 플로팅게이트
30 : NON막	35 : 콘트롤게이트층

### 발명의 상세한 설명

### 발명의 목적

## 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시메모리의 게이트 형성방법에 관한 것으로서, 특히, 반도체기판 상에 터널산화막, 플로팅게이트층을 적층한 후 종래의 ONO(Oxide - Nitride - Oxide)막 대신에 NON(Nitride - Oxide - Nitride)막을 적층하여 유전상수가 큰 나이트라이드막을 2배로 사용하여 게이트의 두께를 낮추는 역할을 하므로 셀과 페리의 단차를 낮추게 되어 후속 공정의 진행을 원활하게 하도록 하는 플래시 메모리 소자에 관한 것이다.

비휘발성 메모리로 널리 사용되는 플래시 EEPROM(Electrically Programmable Read Only Memory)은 전기적으로 데이터를 프로그램하고 소거하는 기능을 가지고 있다. 이러한 EEPROM의 프로그램 동작은 드레인 층에 채널 열 전자(Channel Hot Electron)를 형성시켜 상기 전자를 플로팅 게이트(Floating Gate)에 축적함으로써 셀 트랜지스터의 문턱 전압을 증가시키는 동작이다. 반면에, 소거 동작은 소스/기판과 상기 플로팅 게이트간에 고전압을 발생시켜 플로팅 게이트에 축적된 전자를 방출함으로써 셀 트랜지스터의 문턱 전압을 낮추는 것이다.

한편, 현재 반도체 소자의 고집적화를 달성하기 위하여 셀 면적의 감소 및 동작 전압의 저전압화에 관한 연구/개발이 활발하게 진행되고 있다. 이에, 플래시 메모리는 게이트전극간 절연막을 통상의 실리콘 산화막(SiO<sub>2</sub>) 대신에 NO(Nitride-Oxide) 또는 ONO(Oxide-Nitride-Oxide)구조로 사용하고 있다.

여기서 ONO막의 역할은 DRAM에서와는 다르게 플로팅 게이트에서 콘트롤 게이트로 전자가 리키지(Leakage)되는 것을 방지하도록 하는 장벽층(Barrier Layer) 역할을 하게 된다.

이렇게 NO 또는 ONO 유전체를 사용하는 플래시 메모리의 셀 트랜지스터의 제조 공정 시 주로 플로팅 게이트의 폴리실리콘 위에 고온의 열산화법으로 산화막을 성장시켜서 NO 또는 ONO를 형성한다. 그러나, 이 산화 공정에 의해 하부 플로팅 게이트의 폴리실리콘의 계면에서는 불균일하게 산화막이 성장되어 전체 등가 산화막(Tox)의 두께가 증가하기 때문에 플래시 메모리의 셀 정전용량이 감소하게 된다.

도 1은 종래의 플래시 메모리의 게이트 구조를 보인 도면으로서, 반도체기판 (1)에 터널산화막(3), 플로팅게이트층(4), ONO막(5), 커버폴리(7) 및 콘트롤게이트층(6)을 적층한 후 마스킹 식각으로 게이트를 형성하도록 한다.

상기와 같이, ONO막(5)을 적층하는 경우, ONO막(95)의 탑부분의 산화막을 보호하기 위하여 커버폴리(Cover Poly)(7)라는 공정까지 첨가하게 되는데, 생산원가의 증가와 공정시간의 증가라는 문제를 수반한다.

또한, 셀지역의 콘트롤게이트와 ONO막 사이에는 커버폴리가 삽입되는 반면에 페리지역은 ONO 층 및 커버폴리가 존재하지 않으므로 플래시 소자의 셀지역(Cell Region)과 페리지역(Peri Region) 사이에는 콘트롤게이트(Control Gate)와 ONO막 등으로 인한 단차가 심하게 발생하여 후속마스크 공정 및 식각 공정의 진행이 매우 어려운 문제를 지닌다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 이러한 점을 감안하여 안출한 것으로서, 반도체기판 상에 터널산화막, 플로팅게이트층을 적층한 후 종래의 ONO(Oxide - Nitride - Oxide) 박막 대신에 NON(Nitride - Oxide - Nitride)박막을 적층하여 유전상수가 큰 나이트라이드막을 2배로 사용하여 게이트의 두께를 낮추는 역할을 하므로 셀과 페리의 단차를 낮추게 되어 후속 공정의 진행을 원활하게 하는 것이 목적이이다.

### 발명의 구성 및 작용

이러한 목적은 반도체기판 상에 터널산화막, 플로팅게이트층, 콘트롤게이트층)으로 이루어진 플래시 메모리의 소자를 제조하는 방법에 있어서, 상기 플로팅게이트층과 콘트롤게이트층 사이에서 장벽층 역할을 하는 나이트라이드막/산화막/나이트라이드막으로 된 NON막을 적층하는 것을 특징으로 하는 플래시 메모리 소자 제조방법을 제공함으로써 달성된다.

그리고, 상기 NON막에서 산화막 적층시, 600 ~ 1000°C의 온도범위에서 진행하고, SiH<sub>2</sub>Cl<sub>2</sub> : N<sub>2</sub>O 를 1 : 10 ~ 50의 비율로 사용하는 것이 바람직 하다.

상기 NON막에서 나이트라이드막 적층시, 600 ~ 1000°C의 온도범위에서 진행하는 것이 바람직 하다.

상기 NON막에서 나이트라이드막 및 산화막 각각의 두께는, 30 ~ 150 Å이고, 200 ~ 500mTorr의 압력으로 적층하고, 1분 ~ 100분간 진행하도록 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 일실시예에 대해 상세하게 설명하고자 한다.

도 2는 본 발명에 따른 플래시 메모리 게이트의 구조를 보인 도면이다.

본 발명 플래시 메모리 제조방법을 살펴 보면, 반도체기판(10)상에 터널산화막(20), 플로팅게이트층(25)을 적층한 후, 상기 플로팅게이트층(25)과 콘트롤게이트층(35) 사이에서 장벽층(Barrier Layer) 역할을 하는 나이트라이드막/산화막/나이트라이드막으로 된 NON막(30)을 적층하도록 한다.

상기 NON막(30)에서 산화막 적층시, 600 ~ 1000°C의 온도범위에서 진행하고 SiH<sub>2</sub>Cl<sub>2</sub> : N<sub>2</sub>O 를 1 : 10 ~ 50의 비율로 사용하도록 한다.

상기 NON막(30)에서 나이트라이드막 적층시, 600 ~ 1000°C의 온도범위에서 진행하는 것이 바람직하다.

상기 NON막(30)에서 나이트라이드막 및 산화막 각각의 두께는, 30 ~ 150Å의 두께이고, 200 ~ 500mTorr의 압력으로 적층하고, 1분 ~ 100분간 진행하도록 한다.

그리고, 상기 NON막(30) 상에 콘트롤게이트층(35)을 적층한 후, 마스킹식각을 게이트를 형성하고 활성영역에 이온을 주입하여 소오스/드레인영역(15)을 형성하도록 한다.

한편 상기 NON막(30)에서 나이트라이드막의 유전상수는 산화막의 유전상수에 비하여 2배에 가까우므로 NON막(30)의 전체 두께를 낮춘 상태에서도 유전상수를 동일하게 가져갈 수 있게 된다.

한편, 종래의 ONO막의 적층 두께에 관한 식을 살펴 보면,

$$1/C_{\text{total}} = 1/C_{\text{oxide}} + 1/C_{\text{nitride}} + 1/C_{\text{oxide}} \quad (1\text{식})$$

본 발명의 NON막의 적층 두께에 관한 식을 살펴 보면,

$$1/C_{\text{total}} = 1/C_{\text{nitride}} + 1/C_{\text{oxide}} + 1/C_{\text{nitride}} \quad (1\text{식})$$

일반적으로 적용되는 식인,  $C(\frac{1}{d}) = A/d$  (3식)에서, 식1, 식2 및 식3를 서로 산술적으로 풀어서 막 두께인  $d$ 를 구할 수 있게 된다.

### 발명의 효과

상기한 바와 같이, 본 발명에 따른 플래시 메모리 소자를 이용하게 되면, 반도체기판 상에 터널산화막, 플로팅게이트층을 적층한 후 종래의 ONO(Oxide - Nitride - Oxide) 박막 대신에 NON(Nitride - Oxide - Nitride)박막을 적층하여 종래의 커버 폴리(Cover Poly)를 사용하지 않아도 되고, 유전상수가 큰 나이트라이드막을 2배로 사용하여 게이트의 두께를 낮추는 역할을 하므로 셀과 폐리의 단차를 낮추게 되어 후속 공정의 진행을 원활하게 하도록 하는 매우 유용하고 효과적인 발명이다.

### (57) 청구의 범위

#### 청구항 1

반도체기판 상에 터널산화막, 플로팅게이트층, 콘트롤게이트층으로 이루어진 플래시 메모리의 소자를 제조하는 방법에 있어서,

상기 플로팅게이트층과 콘트롤게이트층 사이에서 장벽층 역할을 하는 나이트라이드막/산화막/나이트라이드막으로 된 NON막을 포함하는 것을 특징으로 하는 플래시 메모리 소자.

#### 청구항 2

제 1 항에 있어서, 상기 NON막에서 산화막 적층시, 600 ~ 1000°C의 온도범위에서 진행하고,  $\text{SiH}_2\text{Cl}_2 : \text{N}_2\text{O}$  를 1 : 10 ~ 50의 비율로 사용하는 것을 특징으로 하는 플래시 메모리 소자.

#### 청구항 3

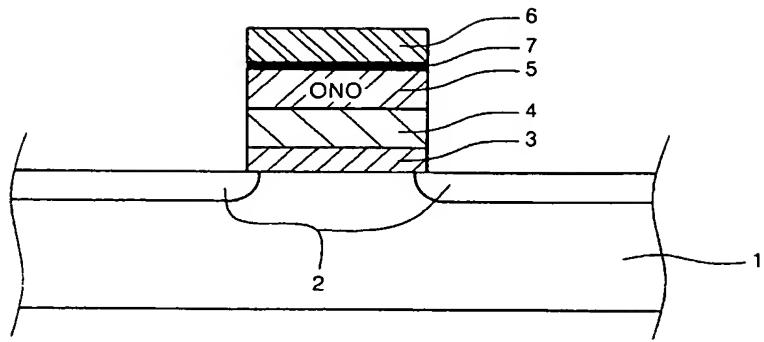
제 1 항에 있어서, 상기 NON막에서 나이트라이드막 적층시, 600 ~ 1000°C의 온도범위에서  $\text{NH}_3 : \text{SiH}_2\text{Cl}_2$  를 1 ~ 10 : 1의 비율로 진행하는 것을 특징으로 하는 플래시 메모리 소자.

#### 청구항 4

제 1 항에 있어서, 상기 NON막에서 나이트라이드막 및 산화막 각각의 두께는, 30 ~ 150Å이고, 200 ~ 500mTorr의 압력으로 적층하고, 1분 ~ 100분간 진행하는 것을 특징으로 하는 플래시 메모리 소자.

#### 도면

도면1



도면2

